

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-052420

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

G02F 1/136
 B32B 7/02
 B32B 9/00
 G02F 1/133
 G02F 1/1335
 G09G 3/36

(21)Application number : 09-211625

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.08.1997

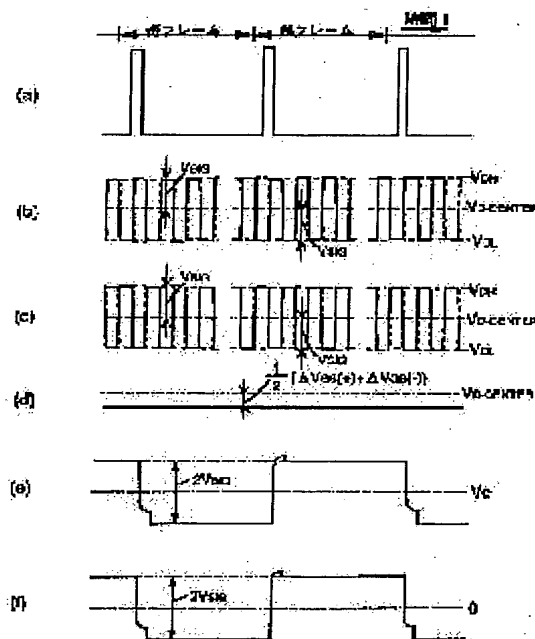
(72)Inventor : OTA MASUYUKI
 ISHII MASAHIRO
 YANAGAWA KAZUHIKO
 ONO KIKUO
 ASUMA HIROAKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress longitudinal smear, to improve the productivity, and to reduce power consumption by providing conductive light shield films on the opposite surfaces of video signal lines and mutually inverting the polarities of video signal voltages applied to adjacent video signal lines in the same period.

SOLUTION: The conductive light shield films are formed on the opposite surfaces of video signal lines and the polarities of the video signal voltages applied to adjacent video signal lines are mutually inverted in the same period. Namely, a scanning signal VG has ON level in every 1 scanning period and others have OFF level. The video signal voltage is applied to one pixel while inverted in polarity in alternate frames with an amplitude twice as large as that of a voltage applied to a liquid crystal layer. Here, the video signal voltage Vd is inverted in polarity for column and also inverted in polarity for each row. Consequently, pixels which are inverted in polarity adjoin to one another in the vertical and horizontal directions to reduce a flicker and crosstalk (horizontal smear).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平11-52420

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl. ⁸		識別記号		FI	
G02F	1/136	500		G02F	1/136
B32B	7/02	104		B32B	7/02
	9/00				9/00
G02F	1/133	550	A	G02F	1/133
	1/1335	500			1/1335

審査請求 未請求 請求項の数 7 OL (全 22 頁) 最終頁に続く

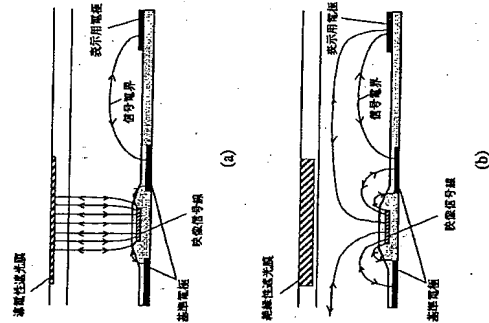
(21) 出願番号	特願平9-211625	(71) 出願人	000005108
(22) 出願日	平成9年(1997) 8月6日	株式会社日立製作所	
		東京都千代田区神田駿河台四丁目6番地	
		(72) 発明者	太田 益幸
		千葉県流山市早野3300番地	株式会社日立
		(72) 発明者	製作所電子デバイス事業部内
		井井 正宏	
		千葉県流山市早野3300番地	株式会社日立
		(72) 発明者	製作所電子デバイス事業部内
		柳川 和彦	
		千葉県流山市早野3300番地	株式会社日立
		(72) 発明者	製作所電子デバイス事業部内
		井理士 小川 勝男	
		(74) 代理人	最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 ブラウン管並の広視野角を実現でき、かつ、高画質、低消費電力、狭視野の液晶表示装置を提供する。
【解決手段】 複数の映像信号線と複数の走査電極で構成された複数の画素を有し、画素内に、基板面に平行な電界を印加でき得る画素電極と対向電極を有し、画素電極に映像信号線と走査電極とが接続された薄膜トランジスタから映像信号が供給され得、映像信号線の対向面に、導電性の遮光膜を有し、隣合う映像信号線に形成されている映像信号線の極性が、同一期間で、互いに反転している。

図1



(2)

【特許請求の範囲】

【請求項1】 複数の映像信号線と複数の走査電極で構成された複数の画素を有し、前記画素内に、基板面に平行な電界を印加でき得る画素電極と対向電極を有し、前記画素電極に前記映像信号線と前記走査電極に接続された薄膜トランジスタから映像信号が供給され得るアクティブマトリクス型液晶表示装置において、前記映像信号線の対向面に、導電性の遮光膜を有し、隣合う映像信号線に印加される映像信号電圧の極性が、同一期間で、互いに反転していることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 前記導電性の遮光膜は、クロム、酸化クロム、酸化クロムの積層構造であることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項3】 前記映像信号線の映像信号電圧の極性反転の周期が2走査期間以上であることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項4】 前記走査電極の長手方向の隣り合う画素の対向電極に、互いに極性の反転した交流矩形波を印加することを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項5】 前記交流矩形波の極性反転の周期が2走査期間以上であることを特徴とする請求項4記載のアクティブマトリクス型液晶表示装置。

【請求項6】 前記遮光膜の厚みは、0.05 μ mから0.2 μ mであることを特徴とする請求項1から5記載のアクティブマトリクス型液晶表示装置。

【請求項7】 前記遮光膜の水平方向の幅は、30 μ m以下であることを特徴とする請求項1から5記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】 【発明の属する技術分野】 本発明は、液晶表示装置に関する。特に薄膜トランジスタ素子を有する高画質なアクティブマトリクス型液晶表示装置に用いる。

【0002】

【従来の技術】 いわゆる隔壁方式と称されるカラー液晶表示装置は、液晶層を介して互いに対向して配置された透明基板のうち、その一方または両方の液晶層の単位画素に相当する領域に、表示用電極と基準電極とが備えられ、この表示用電極と基準電極との間に透明基板面と平行に発生させる電界によって前記液晶層を透過する光を制御させるようにしたものである。このようなカラー液晶表示装置は、その表示面に對して大きな角度視野から観察しても鮮明な映像を認識でき、いわゆる広角度視野に優れたものとして知られるに至った。

【0003】 なお、このような構成からなる液晶表示装置としては、例えば特許出願公開第5-505247号公報、特公昭63-21907号公報および特開平6-160878号公報に詳述されている。

【0004】

【発明が解決しようとする課題】 しかしながら、このように構成された液晶表示装置は、映像信号線から発生される不要な電界が、表示電極と基準電極との間の電界を変動させ、表示面において、映像信号線に沿った方向に帯状に筋を引く画質不良いわゆる縦スミア (クロストーク) が発生するという問題が残存されていた。この問題を解決する手段が、特開平6-202127号公報に詳述されている。しかしながら、このように構成された液晶表示装置は、シールド電極を設け、それに外部から電位を供給するため、シールド電極と信号電極との間の電界への電流の充放電が大きくなり、駆動回路に対して負荷が大きくなりすぎ、消費電力が大きくなり、または駆動回路が大きくなりすぎ、さらには、シールド電極に電位を印加するための接続手段が必要であり、工程の増加および接続不良が発生するという問題が残存されていた。

【0005】 本発明は、このような事情に基づいてなされたものであり、その目的は、いわゆる縦スミアの抑制でき、かつ、生産性が良好で、低消費電力を図った液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】 前記目的を達成するために、本発明では、第1の構成として、複数の映像信号線と複数の走査電極で構成された複数の画素を有し、画素内に、基板面に平行な電界を印加でき得る画素電極と対向電極を有し、画素電極に映像信号線と走査電極とが接続された薄膜トランジスタから映像信号が供給され得るアクティブマトリクス型液晶表示装置において、映像信号線の対向面に、導電性の遮光膜を有し、隣合う映像信号線に印加される映像信号電圧の極性が、同一期間で、互いに反転していることを特徴とするアクティブマトリクス型液晶表示装置を構成する。

【0007】 第1の構成を含む第2の構成として、導電性の遮光膜は、クロム、酸化クロム、酸化クロムの積層構造であるアクティブマトリクス型液晶表示装置を構成する。

【0008】 第1の構成を含む第3の構成として、映像信号線の映像信号電圧の極性反転の周期が2走査期間毎以上であるアクティブマトリクス型液晶表示装置を構成する。

【0009】 第1の構成を含む第4の構成として、走査電極の長手方向の隣り合う画素の対向電極に、互いに極性の反転した交流矩形波を印加するアクティブマトリクス型液晶表示装置を構成する。

【0010】 第4の構成を含む第5の構成として、交流矩形波の極性反転の周期が2走査期間毎以上であるアクティブマトリクス型液晶表示装置を構成する。

【0011】 このように構成した液晶表示装置は、まず、一方の透明基板側に形成されている映像信号線に對して、平面的に見て完全に重畳させた状態で導電性の遮

光膜（ブラックマトリクス）が地方の透明基板側に形成されていることにより、映像信号線から発生する不要な電気力線が、ブラックマトリクスに終端する。図1はその原理を示す模式図である。

【0012】また、一列毎に極性反転した信号を映像信号線に印加する駆動方法を用いることにより、映像信号線と遮光膜間の容量結合により発生した電圧は、隣の映像信号線と遮光膜間の容量結合により発生した電圧と極性が反転しているため、遮光膜間にキャパシタ電流が流れて遮光膜の電圧の変動は起こらない。これにより、遮光膜に外部から電圧を印加しなくとも、不要な電気力線のシールドが可能になるため、表示電極と基準電極の間の電界が映像信号に依存して変動することがなくなり、いわゆる縦スミアを抑制することができるようになる。図2はその原理の模式図である。

【0013】本発明の特性は、遮光膜に外部から電圧を印加しなくとも良いので、遮光膜に電圧を外部から印加する手段が必要なくなり、またそれに伴う接続不良等の不良の発生もなくなる。

【0014】また、遮光膜内でキャパシタ電流が発生するだけであるので、外部との電流の出入れがなくなるため、消費電力を抑え、かつ、映像信号線から見たときの負荷も軽くなるため、駆動回路の縮小することができるようになる。

【0015】図3(a)には、絶縁性遮光膜を用いた場合の映像信号線の電界による透過率の左右方向の分布を示す。図に示されるように、映像信号線の電界による透過率の発生は映像信号線の中心から26 μm までである。一方、図3(b)に、導電性遮光膜を用いた場合の映像信号線の電界による透過率の左右方向の分布を示す。導電性BMを用いた場合は、14 μm と、12 μm も表示部の透過率に影響する領域が減少している。したがって、遮光膜の幅を52 μm から28 μm に低域できると、開口率を大幅に増す事ができ、高開口率と低スミアの両立が可能となる。

【0016】
【発明の要旨の形態】本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0017】（実施例1）
【7アクティブ・マトリクス液晶表示装置】以下、アクティブ・マトリクス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0018】マトリクス部（画素部）の平面構成）図4は本発明のアクティブ・マトリクス方式カラール液晶表示装置の一面とその周辺を示す平面図である。

【0019】図4に示すように、各画素は走査信号線（ゲート信号線または水平信号線）G1と、対向電圧

信号線（対向電極配線）D1と、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）D1Lとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、蓄積容量Cstと、画素電極PX（本実施例中では、画素電極と称し、すなわち表示用電極の事である）および対向電極CT（本実施例中では、対向電極と称し、すなわち基準電極の事である）を含む。走査信号線G1、対向電圧信号線C1は図で左右方向に延在し、上下方向に複数本配置されている。映像信号線D1Lは上下方向に延在し、左右方向に複数本配置されている。画素電極PXはソース電極SD1を介して薄膜トランジスタTFTと電気的に接続され、対向電極CTは絶縁状に構成され、それぞれ、図の上下方向に長細い電極となっている。

【0020】画素電極PXと対向電極CTは互いに対向し、各画素電極PXと対向電極CTとの間で発生せられる基板面に跨平行な電界により液晶組成物LCの光学的な状態を制御し、表示を制御する。画素電極PXと対向電極CTは絶縁状に構成され、それぞれ、図の上下方向に長細い電極となっている。

【0021】画素電極PXと対向電極CTの電極幅はそれぞれ6 μm とする。これは、液晶層の厚み方向に對して、液晶層全体に十分な電界を印加するために、後述の液晶組成物の厚み3.9 μm よりも十分に大きく設定する。望ましくは、液晶組成物の1.5倍以上に設定する。また、開口率を大きくするためにできるだけ細くする。また、映像信号線D1Lも6 μm とする。映像信号線D1Lの線幅は断線を防止するために、画素電極PXと対向電極CTに比較して若干広くしても良い。

【0022】走査信号線G1は末端側の画素（後述の走査電極端子GTMの反対側）のゲート電極GTに十分に走査電圧が伝達されるだけの抵抗値を設定するように線幅を設定する。また、対向電圧信号線C1も末端側の画素（後述の共通バスラインCB1およびCB2から最も遠い画素すなわちCB1とCB2の中間の画素）の対向電極CTに十分に対向電圧が印加できるだけの抵抗値を設定するように線幅を設定する。

【0023】一方、画素電極PXと対向電極CTの間の電極間隔は、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路（信号線ドライバ）の両端に設定される信号電圧の最大値の範囲で、最大透過率が得られるようにするためである。後述の液晶材料を用いると電極間隔は、約12 μm となる。

【0024】マトリクス部（画素部）の断面構成）図5は図4の6-6切断線における断面を示す図、図6は図4の7-7切断線における薄膜トランジスタTFTの断面図、図7は図4の8-8切断線における蓄積容量Cstの断面を示す図である。図5～図7に示すように、

液晶組成物層LCを基準として下部透明ガラス基板SU B1側には薄膜トランジスタTFT、蓄積容量Cstおよび電極線が形成され、上部透明ガラス基板SUB2側にはカラースパッタFIL、遮光膜（ブラックマトリクス）BMが形成されている。

【0025】また、透明ガラス基板SUB1、SUB2のそれぞれの内側（液晶LC側）の表面には、液晶の初期配向を制御する配向膜AF1、AF2が設けられており、透明ガラス基板SUB1、SUB2のそれぞれの外側の表面には、偏光板が設けられている。

【0026】（TFT基板）まず、下部透明ガラス基板SUB1側（TFT基板）の構成を詳しく説明する。【0027】《薄膜トランジスタTFT》薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソース・ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0028】薄膜トランジスタTFTは、図6に示すように、ゲート電極GT、絶縁膜G1、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（SD1）からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有する。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると思われたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して説明する。

【0029】《ゲート電極GT》ゲート電極GTは走査信号線G1と連続して形成されており、走査信号線G1の一部の領域がゲート電極GTとなるように構成されている。ゲート電極GTは薄膜トランジスタTFTの駆動領域を超える部分である。本例では、ゲート電極GTは、単層の導電膜G3で形成されている。導電膜G3としては例えばスパッタで形成されたクロム・モリブデン合金（Cr-Mo）膜が用いられるがそれに限ったものではない。

【0030】《走査信号線GL》走査信号線GLは導電膜G3で構成されている。この走査信号線GLの導電膜G3はゲート電極GTの導電膜G3と同一製造工程で形成され、かつ一体に構成されている。この走査信号線GLにより、外部回路からゲート電圧（走査電圧）Vgをゲート電極GTに供給する。本例では、導電膜G3としては例えばスパッタで形成されたクロム・モリブデン合金（Cr-Mo）膜が用いられる。また、走査信号線GLおよびゲート電極GTは、クロム・モリブデン合金のみに限られたものではなく、たとえば、低抵抗化のためにアルミニウムまたはアルミニウム合金をクロム・モリブデンで包み込んだ2層構造としてもよい。さらに、映像信号線D1と交差する部分は映像信号線D1との短絡の障害を小さくするため細くし、また、短絡しても、

レーザトリミングで切り離すことができるように二股にしても良い。

【0031】《対向電圧信号線CL》対向電圧信号線CLは導電膜G3で構成されている。この対向電圧信号線CLの導電膜G3はゲート電極GT、走査信号線G1および対向電極CTの導電膜G3と同一製造工程で形成され、かつ対向電極CTと電気的に接続できるように構成されている。この対向電圧信号線CLにより、外部回路から対向電圧Vcomを対向電極CTに供給する。また、対向電圧信号線CLは、クロム・モリブデン合金のみに限られたものではなく、たとえば、低抵抗化のためにアルミニウムまたはアルミニウム合金をクロム・モリブデンで包み込んだ2層構造としてもよい。さらに、映像信号線D1と交差する部分は映像信号線D1との短絡の障害を小さくするため細くし、また、短絡しても、レーザトリミングで切り離すことができるように二股にしても良い。

【0032】《絶縁膜G1》絶縁膜G1は、薄膜トランジスタTFTにおいて、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜G1はゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜G1としては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、2000～4500Åの厚さに（本実施例では、3500Å程度）形成される。また、絶縁膜G1は走査信号線G1および対向電圧信号線CLと映像信号線D1の層間絶縁膜としても働き、それらの電気的絶縁にも寄与している。

【0033】《i型半導体層AS》i型半導体層AS（本実施例では、1200Å程度の膜厚）で形成される。層D0はオーミックコンタクト用のリン（P）をドーピングしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電膜D3が存在するところのみに設けられている。

【0034】i型半導体層ASおよび層D0は、走査信号線GLおよび対向電圧信号線CLと映像信号線D1との交差部（クロスオーバー部）の両側間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLおよび対向電圧信号線CLと映像信号線D1との短絡を低減する。

【0035】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層D0に接触する導電膜D3から構成されている。

【0036】導電膜D3はスパッタで形成したクロム・モリブデン合金（Cr-Mo）膜を用い、500～3000Åの厚さに（本実施例では、2500Å程度）で形成される。Cr-Mo膜は低応力であるので、比較的膜厚を厚く形成することができ配線の低抵抗化に寄与

る。
[0037]また、Cr-Mo膜はN(+)型半導体層d₀との接着性も良好である。導電膜d₃として、Cr-Mo膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoS₂、TaSi₂、TaSi₃)膜を用いてもよく、また、アルミニウム等との積層構造としてもよい。
[0038]《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の導電膜d₃で構成されている。また、映像信号線DLはドレイン電極SD2と一体に形成されている。本例では、導電膜d₃はスパッタで形成したクロム-モリブデン合金(Cr-Mo)膜を用い、500~3000Åの厚さに(本実施例では、2500Å程度)で形成される。Cr-Mo膜は低応力であるので、比較的厚膜を厚く形成することができ配線の低抵抗化に寄与する。また、Cr-Mo膜はN(+)型半導体層d₀との接着性も良好である。導電膜d₃として、Cr-Mo膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoS₂、TaSi₂、TaSi₃)膜を用いてもよく、また、断線を防ぐために、アルミニウム等との積層構造としてもよい。

[0039]《蓄積容量Cstg》導電膜d₃は、導膜トランジスタTFTのソース電極SD2部分において、対向電圧信号線CLと重なるように形成されている。この重ね合わせは、図7からも明らかのように、ソース電極SD2(d₃)を一方の電極とし、対向電圧信号線CLを他方の電極とする蓄積容量(静電容量素子)Cstgを構成する。この蓄積容量Cstgの静電体積は、導膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIで構成されている。
[0040]図4に示すように平面的には蓄積容量Cstgは対向電圧信号線CLの一部分に形成されている。
[0041]《保護膜PSV1》導膜トランジスタTFT上には保護膜PSV1が設けられている。保護膜PSV1は主に導膜トランジスタTFTを電気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、0.1~1μm程度の厚膜で形成する。

[0042]保護膜PSV1は、外部接続端子DTM、GTMを露出するよう除去されている。保護膜PSV1と考えられ、後者はトランジスタの相互コンダクタンスgmを考慮される。
[0043]また、画素部では、対向電圧信号線CLと後述の対向電極CTとの電氣的接続、および、ソース電極SD2と画素電極PXとの電氣的接続のために、スループールH2およびTHT1を設けている。スループールH2では、保護膜PSV1と絶縁膜GIが一括で加工されるので、g3層までの孔があき、スループールH1ではd3でブロックングされるので、d3層までの孔があき、
[0044]また、保護膜PSV1は、ポリイミド等の有機膜を厚く構成したものと種類構造としても良い。
[0045]《画素電極PX》画素電極PXは、透明導電膜11で形成されている。この透明導電膜11はスパッタリングで形成された透明導電膜(indium-tin-oxideITO:ネサ膜)からなり、100~2000Åの厚さに(本実施例では、1400Å程度の厚膜)形成される。また、画素電極PXはスループールH1を介して、ソース電極SD2に接続されている。
[0046]画素電極が本実施例のように透明になることにより、その部分の透過光により、白表示を行う時の最大透過率が向上するため、画素電極が不透明な場合よりも、より明るい表示を行うことができる。この時、後述するように、電圧無印加時には、液晶分子は初期の配向状態を保ち、その状態で黒表示をするように偏光板の配置を構成(ノーマリブラックモードにする)しているので、画素電極を透明にしても、その部分の光を透過することがなく、良質な黒を表示することができ、これにより、最大透過率が向上させ、かつ十分なコントラスト比を達成することができ、
[0047]《対向電極CT》対向電極CTは透明導電膜11で形成されている。この透明導電膜11はスパッタリングで形成された透明導電膜(indium-tin-oxideITO:ネサ膜)からなり、100~2000Åの厚さに(本実施例では、1400Å程度の厚膜)形成される。また、対向電極CTはスループールH2を介して、対向電圧信号線CLに接続されている。画素電極PXと同様、対向電極を透明にすることにより、白表示を行う時の最大透過率が向上する。

[0048]対向電極CTには対向電圧Vcomが印加されるように構成されている。本実施例では、対向電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧V_{dmin}と最大レベルの駆動電圧V_{dmax}との中間直流電位から、導膜トランジスタ素子TFTをオフ状態にするときに発生するフィードスルー電圧ΔV_s分だけ低い電位に設定される。
[0049]《カラーフィルター基板》次に、図4、図5に戻り、上側透明ガラス基板SUB2側(カラーフィルター基板)の構成を詳しく説明する。
[0050]《透光膜BM》上側透明ガラス基板SUB2側には、不要な間隙部(画素電極PXと対向電極CTの間以外の領域)からの透過光が表示面に出射して、コントラスト比等を低下させないように透光膜BM(いわゆるブラックマトリクス)を形成している。透光膜BMは、外部光またはバックライト光がI型半導体層ASに入射しないようにする役割も果たしている。すなわ

ち、導膜トランジスタTFTのI型半導体層ASは上下にある透光膜BMおよび大目のゲート電極GTによってサンデッドにされ、外部の自然光やバックライト光が当たらない。

[0051]図4に透光膜BMのパターンの1例を示す。

[0052]透光膜BMは、誘電性および透光性を有する金属膜で形成し、画素の表示部に孔をあけたマトリクス状のパターンにする。本実施例では、透光膜BMは、クロム薄膜を用いる。また、クロム薄膜のガラス面側には、酸化クロム、窒化クロムを形成する。これは、ガラス面側の反射率を低減するためであり、液晶表示装置の表示面を低反射にするためである。また、透光膜BMで映像信号線DL上を完全に覆い隠すように構成し、映像信号線DLからの電気力線のほとんどを透光膜BMに終端させる。このままでは透光膜BMの電位が映像信号線DLの電位によって変動してしまうので、クロストークは軽減しないが、透光膜BMの左右方向に延在した部分により、隣接映像信号線DLからの逆極性の電位変動との間に、それをお互いにキャンセルする電流が流れ、透光膜BMの電位は安定する。これにより、画素電極PXと対向電極CT間の電界は、映像信号線DLの電位の変動を受けることはなくなる。したがって、クロストークが大幅に軽減する。これは、前述したように、導電性透光膜の極性を逆転させた駆動方法を用いたことにより、新たに発生する効果であり、微電界方式を用いたアクティブマトリクス型液晶表示装置に特有の効果である。本発明によって、作例にも示したように透光膜BMの左右方向の幅を30μm以下にできることで大幅に開口率を向上させることができる。したがって、本実施例では、対角13.3型のXGA解像度のもので約40%の開口率を得ることができた。

[0053]また、この透光膜BMで各行の有効表示領域が仕切られる。従って、各行の画素の輪郭が透光膜BMによってはっきりとすると、さらに、透光膜BMは、I型半導体層ASに対する透光の機能も持つ。

[0054]また、本発明は、薄膜でも透光性の高い透光膜(0.05~0.2μm)を用いているため、カラーフィルターの凹凸が絶縁性の透光膜(1~3μm)を用いるものより少なくなり、平坦性が向上するので、液晶層の厚みが均一になり、液晶層の厚みの変化に伴う輝度のむらが解消される。

[0055]透光膜BMは周辺部にも縁縁状に形成され、そのパターンは図4に示すマトリクス部のパターンと連続して形成されている。周辺部の透光膜BMは、シール部SLの外側に延在され、パシコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いぐと共に、バックライト等の光が表示エリア外に漏れるものも防いでいる。他方、この透光膜BMは基板SU

B2の縁よりも約0.3~1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

[0056]《カラーフィルターFIL》カラーフィルターFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルターFILは透光膜BMのエッジ部分と重なるように形成されている。

[0057]カラーフィルターFILは次のように形成することができ、まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で染色フィルム形成領域以外の染色基材を除去する。その後、染色基材を赤色顔料で染め、固着処理を施し、染色フィルムRを形成する。つぎに、同様の工程を施すことによって、緑色フィルムG、青色フィルムBを順次形成する。なお、染色には染料を用いてもよい。

[0058]《オーバーコート膜OC》オーバーコート膜OCはカラーフィルターFILの染料の液晶組成物LHCへの潤滑の防止、および、カラーフィルターFIL、透光膜BMによる段差の平坦化のために設けられている。オーバーコート膜OCはたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。また、オーバーコート膜OCとして、流動性の良いポリイミド等の有機膜を使用しても良い。また、このオーバーコート膜OCの厚膜は、通常2μm程度であるが、本発明の効果により発厚するためには、出来る限り薄いほうが、透光膜BMが映像信号線DLに近づくので、より映像信号線DLからの電気力線が基板と水平な方向(横方向)に広がらず、透光膜BMに終端するので、シールド効果が良い。具体的には、平坦性を出せる0.2μmからシールド効果を十分保てる1.0μm以下が好ましい。

[0059]《液晶層および偏光板》次に、液晶層、記向膜、偏光板等について説明する。

[0060]《液晶層》液晶材料LCとしては、誘電率異方性Δεが正でその値が13.2、屈折率異方性Δnが0.081(589nm、20℃)のネマティック液晶を用いる。液晶層の厚み(ギャップ)は、3.9μmとし、リタデーションΔn・dは0.316とする。このリタデーションΔn・dの値により、後述の配向膜と偏光板とを組み合わせ、液晶分子がラビング方向から電界方向に45°回転したとき最大の透過率を得ることができ、可視光の範囲内で波長依存性がほとんどない透過光を得ることができる。このリタデーションの範囲は、0.25~0.32μmの範囲が十分な透過光を得るために好ましい。

[0061]なお、液晶層の厚み(ギャップ)は、ポリマビーズで制御している。

[0062]なお、液晶材料LCは、特に限定したものではなく、誘電率異方性Δεは負でもよい。また、誘電率異方性Δεは、その値が大きいきいほうが、駆動電圧が低減できる。また、屈折率異方性Δnは小さいほうが、波

装置の駆動波形を示す。対向電圧Vcは一定電圧として、走査信号Vgは1走査期間(1行)中、オン・オフを繰り返す。その他はオシロスコープで観察した電圧印加に示す通りである。映像信号Vpは、液晶層に印加した電圧の2倍の振幅で正極と負極を1フレーム毎に反転して1つの画素に伝送するように印加する。このとき、映像信号電圧Vpdは1列毎に極性を反転し、1行毎では映像信号電圧Vpdは上下左右に反転する。これにより、極性を反転した映像が上下左右に反転となり、フリッカ、クロストーク(左右方向のスマーズ)を発生しにくくなることとができた。また、対向電圧Vcは映像信号電圧の極性を反転のセンター電圧から一定量上げた電圧に設定する。これは、薄膜トランジスタ素子がオン・オフに切りかわるときに発生するフィードバック電圧を補正するものであるため、液晶に直流成分の少ない交流電圧を印加するたためり、液晶の劣化を抑制する効果がある。また、映像信号印加を行う(液晶は直流が印加されると、残像、劣化等が発生しやすくなる)。

【0091】「蓄積容量 C_{atg}の働き」蓄積容量 C_{atg}は、画素に書き込まれた（補間）ランジスタで下段がオフした後の映像情報を、一旦蓄積するために設けられる。本発明で用いている電界を基準面と平行に印加する方式であるため、蓄積容量 C_{atg}が映像情報（電圧）がほとんど無いときでも、蓄積容量 C_{stg}が映像情報（電圧）がほとんど無いときでも、蓄積容量 C_{stg}が映像情報（電圧）を蓄積することができる。したがって、電界を基準面と平行に印加する方式では、蓄積容量 C_{stg}は必須の構成要素ではない。

【0092】また、蓄積容量Cstgは、荷戻トランジスタTFTがスイッチングするとき、画素電極電位Vsに対するゲート電位変化 ΔVg の影響を低減するようにも働く。この様子を式で表すと、次のようになる。

[0093]

$$\Delta V_s = \{C_{gs}/(C_{gs} + C_{stg} + C_{pix})\} \times \Delta V_g$$
[illegible]

【0094】前述したように、ゲート電極GTは1型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量C_{gs}が大きくなり、画素電極V_gがV_gの電圧を受け易くなるという逆効果が生じる。しかし、蓄積容量C_{cg}を設けることによりこのデメリットを解消することができる。

圖の基板SUB1側の製造方法について、図16～図18を参照して説明する。なお図面において、中央の文字は工程名の略称であり、左側は図号Aに示す領域、右側は図号Bに示す領域を示す。図16は、図10に示すゲート電極付近の断面形状でみた加工の流れを示す。工程Bを除く、工程A～工程Iは各写真処理に対応して区別したもので、各工程のいずれの断面図も写真処理後の加工が終り、各フォトレジストを除去した段階を示している。なお、写真処理とは本説明で用いてフォトレジストの塗布からマスクを使用して選択露光を経てそれを現像するまでの一連の作業を示すもので、繰返しの説明は避ける。以下区別した工程に従って説明する。

【0096】工程A、図16

AN635ガラス（商品名）からなる下部透明ガラス基板SUB1上に膜厚が2000ÅのCr-Mo等からなる導電膜3をスパッタリングして形成する。写真処理に
 当り、暗蝕液2セリウムアモニウムで導電膜3をエッチングする。それによって、ゲート電極GT、走査
 信号線GL、対向電圧信号線CL、ゲート端子GTM、共通パライシNCB1の第1導電層、対向電極端子CT
 M1の第1導電層、ゲート端子GTMを接続するバスラ
 インSHg（図示せず）を形成する。

プラスチックCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が300Åの窒化Si膜を形成し、プラスチックCVD装置にシランガス、水素ガスを導入して、膜厚が1200Åの1型非晶質Si膜を形成したのち、プラスチックCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)-型非晶質Si膜を形成する。

【0098】工程C、図16
写真処理後、ドライエッチングガスとしてSF₆、CC
l₄を使用してN(+)型非晶質Si膜、i型非晶質Si
膜を選択的にエッチングすることにより、i型半導体層
ASの島を形成する。

【0099】工程D、図17
膜厚が300ÅのCrからなる導電膜d3をスパッタリ
ングにより設ける。写真処理後、導電膜d3を工程Aと
同様な液でエッチングし、映像信号線DL、ソース電極

SD1、ドレイン電極SD2、共通バスラインCB20の第1導電層およびドレイン端子DTMを短絡するバスラインSHd（図示せず）を形成する。つぎに、ドレイ
エッチング装置にCC14、SF6を導入して、N(+)型イ
オン間のN(+)型半導体層dを選択的に除去する。
非晶質Si膜をエッチングすることにより、ソースとド
レーン間のN(+)型半導体層dを選択的に除去す
る。導電層d3をマスクパターンでパターニングした後、導
電層d3をマスクとして、N(+)型半導体層d0が除去
される。つまり、1型半導体層d1上に残ったN
型半導体層d0は、非晶質Si膜d2によって他のN

分がセルフアラインで除去される。このとき、 $N(+)$ 型

半導体層 d Oはその厚さは全て除去されるようエッチングされるので、i 型半導体層 A S も若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0100】工程B、図17
プラズマCVD装置にてアモルフィス、シリコンガス、窒素ガスを導入して、窒素が0.4 μmの窒化Si膜を形成させる。窒素処理後、窒素が0.4 μmの窒化Si膜を使用し、窒化Si膜を選択的にエッチングすることによって、保護膜PSV1および絶縁膜GIをエッチャーニングする。ここで、保護膜PSV1と絶縁膜GIは同一ホトマスクパターンニング工程、一括で加工する。

【0101】工程F、図18

膜厚が1400ÅのITO膜からなる透明導電膜1を

スパッタリングにより膜ける。写真処理後、エッチング液として塩酸と硝酸との混液で透明導電膜I1を選択的にエッチングすることにより、ゲート端子CTM1上層、ドレイン端子DTMおよび対向電極端子CTM1およびCTM2の第2導電層を形成する。

【0102】表示パネルPNLと駆動回路基板PCB 11。図19は、図8等にした表示パネルPNLに映像信号駆動回路Hと垂直走査回路Vを接続した状態を示す上面図である。

【1013】CHIは表示メカニズムを駆動させる駆動ICチップ(下側の5個)と直走並列回路の駆動ICチップ、左の10個ずつは映像信号駆動回路の駆動ICチップ)である。TCPは図16、図17で後述するように駆動用ICチップCHIがテープ・オートメィティド・ボンディング法(TAB)により実装されたテープ・キャリアパッケージ、PCBに1個とICチップC、D、E、F、G、H、I、J、K、L、M、N、O、P、Q、R、S、T、U、V、W、X、Y、Z、AA、AB、AC、AD、AE、AF、AG、AH、AI、AJ、AK、AL、AM、AN、AO、AP、AQ、AR、AS、AT、AU、AV、AW、AX、AY、AZ、BA、BB、BC、BD、BE、BF、BG、BH、BI、BJ、BK、BL、BM、BN、BO、BP、BQ、BR、BS、BT、BU、BV、BW、BX、BY、BZ、CA、CB、CC、CD、CE、CF、CG、CH、CI、CJ、CK、CL、CM、CN、CO、CP、CQ、CR、CS、CT、CU、CV、CW、CX、CY、CZ、DA、DB、DC、DD、DE、DF、DG、DH、DI、DJ、DK、DL、DM、DN、DO、DP、DQ、DR、DS、DT、DU、DV、DW、DX、DY、DZ、EA、EB、EC、ED、EE、EF、EG、EH、EI、EJ、EK、EL、EM、EN、EO、EP、EQ、ER、ES、ET、EU、EV、EW、EX、EY、EZ、FA、FB、FC、FD、FE、FF、FG、FH、FI、FJ、FK、FL、FM、FN、FO、FP、FQ、FR、FS、FT、FU、FV、FW、FX、FY、FZ、GA、GB、GC、GD、GE、GF、GG、GH、GI、GJ、GK、GL、GM、GN、GO、GP、GQ、GR、GS、GT、GU、GV、GW、GX、GY、GZ、HA、HB、HC、HD、HE、HF、HG、HH、HI、HJ、HK、HL、HM、HN、HO、HP、HQ、HR、HS、HT、HU、HV、HW、HX、HY、HZ、IA、IB、IC、ID、IE、IF、IG、IH、II、IJ、IK、IL、IM、IN、IO、IP、IQ、IR、IS、IT、IU、IV、IW、IX、IY、IZ、JA、JB、JC、JD、JE、JF、JG、JH、JI、JJ、JK、JL、JM、JN、JO、JP、JQ、JR、JS、JT、JU、JV、JW、JX、JY、JZ、KA、KB、KC、KD、KE、KF、KG、KH、KI、KJ、KK、KL、KM、KN、KO、KP、KQ、KR、KS、KT、KU、KV、KW、KX、KY、KZ、LA、LB、LC、LD、LE、LF、LG、LH、LI、LJ、LK、LL、LM、LN、LO、LP、LQ、LR、LS、LT、LU、LV、LW、LX、LY、LZ、MA、MB、MC、MD、ME、MF、MG、MH、MI、MJ、MK、ML、MM、MN、MO、MP、MQ、MR、MS、MT、MU、MV、MW、MX、MY、MZ、NA、NB、NC、ND、NE、NF、NG、NH、NI、NJ、NK、NL、NM、NO、NP、NQ、NR、NS、NT、NU、NV、NW、NX、NY、NZ、OA、OB、OC、OD、OE、OF、OG、OH、OI、OJ、OK、OL、OM、ON、OO、OP、OQ、OR、OS、OT、OU、OV、OW、OX、OY、OZ、PA、PB、PC、PD、PE、PF、PG、PH、PI、PJ、PK、PL、PM、PN、PO、PP、PQ、PR、PS、PT、PU、PV、PW、PX、PY、PZ、QA、QB、QC、QD、QE、QF、QG、QH、QI、QJ、QK、QL、QM、QN、QO、QP、QQ、QR、QS、QT、QU、QV、QW、QX、QY、QZ、RA、RB、RC、RD、RE、RF、RG、RH、RI、RJ、RK、RL、RM、RN、RO、RP、RQ、RR、RS、RT、RU、RV、RW、RX、RY、RZ、SA、SB、SC、SD、SE、SF、SG、SH、SI、SJ、SK、SL、SM、SN、SO、SP、SQ、SR、SS、ST、SU、SV、SW、SX、SY、SZ、TA、TB、TC、TD、TE、TF、TG、TH、TI、TJ、TK、TL、TM、TN、TO、TP、TQ、TR、TS、TT、TU、TV、TW、TX、TY、TZ、UA、UB、UC、UD、UE、UF、UG、UH、UI、UJ、UK、UL、UM、UN、UO、UP、UQ、UR、US、UT、UU、UV、UW、UX、UY、UZ、VA、VB、VC、VD、VE、VF、VG、VH、VI、VJ、VK、VL、VM、VN、VO、VP、VQ、VR、VS、VT、VU、VV、VW、VX、VY、VZ、WA、WB、WC、WD、WE、WF、WG、WH、WI、WJ、WK、WL、WM、WN、WO、WP、WQ、WR、WS、WT、WU、WV、WW、WX、WY、WZ、XA、XB、XC、XD、XE、XF、XG、XH、XI、XJ、XK、XL、XM、XN、XO、XP、XQ、XR、XS、XT、XU、XV、XW、XX、XY、XZ、YA、YB、YC、YD、YE、YF、YG、YH、YI、YJ、YK、YL、YM、YN、YO、YP、YQ、YR、YS、YT、YU、YV、YW、YX、YY、YZ、ZA、ZB、ZC、ZD、ZE、ZF、ZG、ZH、ZI、ZJ、ZK、ZL、ZM、ZN、ZO、ZP、ZQ、ZR、ZS、ZT、ZU、ZV、ZW、ZX、ZY、ZZ、AA、AB、AC、AD、AE、AF、AG、AH、AI、AJ、AK、AL、AM、AN、AO、AP、AQ、AR、AS、AT、AU、AV、AW、AX、AY、AZ、BA、BB、BC、BD、BE、BF、BG、BH、BI、BJ、BK、BL、BM、BN、BO、BP、BQ、BR、BS、BT、BU、BV、BW、BX、BY、BZ、CA、CB、CC、CD、CE、CF、CG、CH、CI、CJ、CK、CL、CM、CN、CO、CP、CQ、CR、CS、CT、CU、CV、CW、CX、CY、CZ、DA、DB、DC、DD、DE、DF、DG、DH、DI、DJ、DK、DL、DM、DN、DO、DP、DQ、DR、DS、DT、DU、DV、DW、DX、DY、DZ、EA、EB、EC、ED、EE、EF、EG、EH、EI、EJ、EK、EL、EM、EN、EO、EP、EQ、ER、ES、ET、EU、EV、EW、EX、EY、EZ、FA、FB、FC、FD、FE、FF、FG、FH、FI、FJ、FK、FL、FM、FN、FO、FP、FQ、FR、FS、FT、FU、FV、FW、FX、FY、FZ、GA、GB、GC、GD、GE、GF、GG、GH、GI、GJ、GK、GL、GM、GN、GO、GP、GQ、GR、GS、GT、GU、GV、GW、GX、GY、GZ、HA、HB、HC、HD、HE、HF、HG、HH、HI、HJ、HK、HL、HM、HN、HO、HP、HQ、HR、HS、HT、HU、HV、HW、HX、HY、HZ、IA、IB、IC、ID、IE、IF、IG、IH、II、IJ、IK、IL、IM、IN、IO、IP、IQ、IR、IS、IT、IU、IV、IW、IX、IY、IZ、JA、JB、JC、JD、JE、JF、JG、JH、JI、JJ、JK、JL、JM、JN、JO、JP、JQ、JR、JS、JT、JU、JV、JW、JX、JY、JZ、KA、KB、KC、KD、KE、KF、KG、KH、KI、KJ、KK、KL、KM、KN、KO、KP、KQ、KR、KS、KT、KU、KV、KW、KX、KY、KZ、LA、LB、LC、LD、LE、LF、LG、LH、LI、LJ、LK、LL、LM、LN、LO、LP、LQ、LR、LS、LT、LU、LV、LW、LX、LY、LZ、MA、MB、MC、MD、ME、MF、MG、MH、MI、MJ、MK、ML、MM、MN、MO、MP、MQ、MR、MS、MT、MU、MV、MW、MX、MY、MZ、NA、NB、NC、ND、NE、NF、NG、NH、NI、NJ、NK、NL、NM、NO、NP、NQ、NR、NS、NT、NU、NV、NW、NX、NY、NZ、OA、OB、OC、OD、OE、OF、OG、OH、OI、OJ、OK、OL、OM、ON、OO、OP、OQ、OR、OS、OT、OU、OV、OW、OX、OY、OZ、PA、PB、PC、PD、PE、PF、PG、PH、PI、PJ、PK、PL、PM、PN、PO、PP、PQ、PR、PS、PT、PU、PV、PW、PX、PY、PZ、QA、QB、QC、QD、QE、QF、QG、QH、QI、QJ、QK、QL、QM、QN、QO、QP、QQ、QR、QS、QT、QU、QV、QW、QX、QY、QZ、RA、RB、RC、RD、RE、RF、RG、RH、RI、RJ、RK、RL、RM、RN、RO、RP、RQ、RR、RS、RT、RU、RV、RW、RX、RY、RZ、SA、SB、SC、SD、SE、SF、SG、SH、SI、SJ、SK、SL、SM、SN、SO、SP、SQ、SR、SS、ST、SU、SV、SW、SX、SY、SZ、TA、TB、TC、TD、TE、TF、TG、TH、TI、TJ、TK、TL、TM、TN、TO、TP、TQ、TR、TS、TT、TU、TV、TW、TX、TY、TZ、UA、UB、UC、UD、UE、UF、UG、UH、UI、UJ、UK、UL、UM、UN、UO、UP、UQ、UR、US、UT、UU、UV、UW、UX、UY、UZ、VA、VB、VC、VD、VE、VF、VG、VH、VI、VJ、VK、VL、VM、VN、VO、VP、VQ、VR、VS、VT、VU、VV、VW、VX、VY、VZ、WA、WB、WC、WD、WE、WF、WG、WH、WI、WJ、WK、WL、WM、WN、WO、WP、WQ、WR、WS、WT、WU、WV、WW、WX、WY、WZ、XA、XB、XC、XD、XE、XF、XG、XH、XI、XJ、XK、XL、XM、XN、XO、XP、XQ、XR、XS、XT、XU、XV、XW、XX、XY、XZ、YA、YB、YC、YD、YE、YF、YG、YH、YI、YJ、YK、YL、YM、YN、YO、YP、YQ、YR、YS、YT、YU、YV、YW、YX、YY、YZ、ZA、ZB、ZC、ZD、ZE、ZF、ZG、ZH、ZI、ZJ、ZK、ZL、ZM、ZN、ZO、ZP、ZQ、ZR、ZS、ZT、ZU、ZV、ZW、ZX、ZY、ZZ

ンサ等が実装された駆動回路基板で、映像信号駆動回路用と走査信号駆動回路用の2つに分類されている。FGはPはフレームグラブパッドであり、シールドケースS HDに切り込みで取付けられた4ヶ所の破片を半田付けする。Fは下部の駆動回路基板上PCB1と上部の駆動回路基板PCB2を電気的に接続するフリップチップケーブルである。フラットケーブルPCとして図には示さず、に、複線のリネアケーブル（リネアの素材にS鍍金を施したものを）をドライバ状のボリエレメントと出力ミニアルコノームとでサンディッチして支持したものを使用する。

【0104】《TCPの接続管理》図20は走査番号型
動回線Vや映像番号型動回線Hを構成する、集積回路チ
ップCH1がフレキシブル記憶基板上に搭載されたテーブ
ルであり、キャリアパネル・ジTCPの断片化を示す図であり、
図21はそれを液晶表示パネルの、本例では走査番号回
路用端子GTMに接続した状態を示す要部断面図であ
る。

【0105】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部である。

¹⁸⁾力端子、配線部であり、例えばCuから成り、それぞれCの内部の先端部（通称インナーリード）には真鍮回路CHHのボンディングパッドPADがいわゆるエースダWTMの外側の先端部（通称アウトターリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRY/TFT交換回路、電源回路SUPに、双方向性導電ACFによって液晶表示パネルPNLと接続される。バックゲートTGCPIは、その先端部PNLに接合されている。パッシブ層76mを露出した導電膜PSVIを用いるようにパネルに接合されており、従って、外周部接合部よりTGM（OTM）は導電膜PSVIがバックゲート接合部の少なくとも一方で覆われるので電極に対して強くなる。

【0106】BF1はポリミド等からなるベースフィルムであり、SR5は半田付けの際半田が溶けなところへつけないようにマスキングするためのソルダーレジスト膜である。シールパターンSL5の外側の上下ガタミスの隙間は、乾燥後エタノール、キシリレン、IPA等により保護され、パッケージTCPと上銅基板PBX2との間に更にシリコーン樹脂SL1が充填され隙間が多重化されている。

【0107】《駆動回路基板PCB2》駆動回路基板PCB2は、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2は、1つの電圧源に接続される。この電圧源は分圧した電圧源であるため、電圧源に接続の分圧した電圧源と、電圧源の電圧降下と、ホスト（主処理装置）からのCR（読出し）情報を用いた電圧表示装置の情報を、TFT液晶表示装置に送り、TFT液晶表示装置に表示される。この駆動回路基板PCB2は、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2は、1つの電圧源に接続される。この電圧源は分圧した電圧源であるため、電圧源に接続の分圧した電圧源と、電圧源の電圧降下と、ホスト（主処理装置）からのCR（読出し）情報を用いた電圧表示装置の情報を、TFT液晶表示装置に送り、TFT液晶表示装置に表示される。この駆動回路基板PCB2は、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2は、1つの電圧源に接続される。この電圧源は分圧した電圧源であるため、電圧源に接続の分圧した電圧源と、電圧源の電圧降下と、ホスト（主処理装置）からのCR（読出し）情報を用いた電圧表示装置の情報を、TFT液晶表示装置に送り、TFT液晶表示装置に表示される。

【0108】駆動回路基板PCB1と駆動回路基板PCB2とはフラットケーブルにより電気的に接続されている。

【0109】《液晶表示モジュールの全体構成》図22は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0110】SHDは金属板から成る枠状のシーールドケース（メタルフレーム）、LCWその表示窓、PNLは液晶表示パネル、SPBは光導板、LCBは導光板、RMは反射板、BLはバックライト蛍光管、LCAはバックライトケースであり、図に示すような上下の配列関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【01.1.1】モジュールMDLは、シールドケースSHDに設けられた爪とフックによって全体が固定されるようになっている。

【0112】バックライトケースLCAはバックライト蛍光管BL、光拡散板SPB光拡散板、導光体LCB、反射板RMを収納する形状になっており、導光体LCBの側面に配置されたバックライト蛍光管BLの光を、導

光体LCB、反折板RM、光拡散板SPBにより表示面で一般なバックライトにし、液晶表示パネルPNL側に照射する。

【0113】バックライト蛍光管BLにはインバート回路基板PCB3が接続されており、バックライト蛍光管BLの電流となる。

【0114】以上説明したことから明らかなように、本実施例の液晶表示装置では、横電界方式を用いた超広視野角の液晶表示装置において本質的な問題で有るいわゆる縦スミアを抑制することが、消費電力の低減、周辺回路規模の縮小と同時に図ることができる。

【0115】(実施例2) 本実施例は下記の要件を除けば、実施例1と同一である。図2に画面の平面図を示す。図の斜線部分は透明導電膜11を示す。

【0116】《対向電極CT》本実施例では、対向電極CTを導電膜3で対向電圧信号線CLと一体に構成する。

【0117】本実施例では、実施例1の効果に加え、透過率は極性になるが、対向電極CTと対向電圧信号線CLとのコンタクト不良が回避できる。また、電極の一方が絶縁膜(保護膜PSV1)で覆われているため、配向膜欠陥があった場合に液晶を直流電流が流れる可能性減り、液晶劣化等がなく、信頼性が向上する。

【0118】(実施例3) 本実施例は下記の要件を除けば、実施例1と同一である。図24に画面の平面図を示す。

【0119】《画素電極PX》本実施例では、画素電極PXはソース電極SD1、ドレイン電極SD2と同層の導電膜d3で構成されている。また、画素電極PXはソース電極SD1と一体に形成されている。

【0120】《対向電極CT》本実施例では、対向電極CTを導電膜g3で対向電圧信号線CLと一体に構成する。

【0121】本実施例では、実施例1の効果に加え、透過率は極性になるが、画素電極PXとソース電極SD1とのコンタクト不良が回避でき、また、対向電極CTと対向電圧信号線CLとのコンタクト不良も回避できる。また、電極の両方が絶縁膜(保護膜PSV1)で覆われているため、配向膜欠陥があった場合に液晶を直流電流が流れる可能性減り、液晶劣化等がなく、実施例2と比較しさらに信頼性が向上する。

【0122】(実施例4) 本実施例は、以下を除き、実施例1と同様である。

【0123】《駆動方法》図25に本実施例の液晶表示装置の駆動波形を示す。本実施例では、実施例1と同様に映像信号Vdは1列毎に極性を反転させるが、実施例1とは異なり、1行毎には反転させず、1フレーム毎にも極性を反転させる。本実施例でも、極性が反転した画素が左右により構成となることにより、実施例1と同様に、フリッカ、クロストーク(左右方向の

ミア)を発生しにくくすることができる。

【0124】本実施例では、実施例1の効果に加え、映像信号の極性反転の周期が行数倍だけ長くできるため、映像信号の極性反転の周波数が1/行数になる。映像信号を映像信号線DLに充放電させるための消費電力は、極性反転の周波数に比例するので、これにより、映像信号駆動回路の駆動ICチップの消費電力が大幅に軽減される。また、駆動ICチップの駆動能力を落とした設計もでき、駆動ICチップの回路規模を縮小でき、液晶表示パネルの類縁を狭小化できる。

【0125】また、本実施例では、1フレーム毎に映像信号の極性を反転させたが、2走査期間毎に反転させれば、本実施例と同様の効果を得られる。

【0126】(実施例5) 本実施例は、以下を除き、実施例1と同様である。

【0127】《マトリクス部(画素部)の平面構成》図26は本実施例のアクティブ・マトリクス方式カラー液晶表示装置の画素とその周辺を示す平面図である。

【0128】本実施例では、実施例1と異なり、対向電圧信号線CLは図では図で上下方向に延在し、左右方向に傾斜配置されている。また、対向電圧信号線CLは映像信号線DLと同様に同一材料で構成されている。

【0129】本実施例では、各対向電圧信号線CLの半分は共通バスラインCB1で一纏めして対向電極端子CTM1に引き出されており、残りの半分は、共通バスラインCB2で一纏めして対向電極端子CTM2に引き出されている。

【0130】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の接続図を図27に示す。

【0131】本実施例では、各対向電圧信号線CLの半分は共通バスラインCB1で一纏めして対向電極端子CTM1に引き出されており、残りの半分は、共通バスラインCB2で一纏めして対向電極端子CTM2に引き出されている。また、本実施例では、駆動波形の異なる2種類の電圧を、対向電極端子CTM1、CTM2に印加し、対向電極CTに印加する。

【0132】《駆動方法》図28に本実施例の液晶表示装置の駆動波形を示す。対向電圧Vchには交流電圧を印加し、Vch1とVch2には、お互いに位相が180°ずれた矩形波を各々対向電極端子CTM1、CTM2に印加する。また、映像信号Vdは実施例1と同様に1列毎に極性を反転し、1行毎にも極性を反転させるが、実施例1とは異なり、映像信号線DLには、液晶層に印加したい電圧の内、液晶表示パネルの透過率が変化する部分の電圧だけ印加するだけでよく、映像信号線DLに印加する電圧の最大振幅が1/2以下にできる。

【0133】消費電力は、駆動電圧の2乗に比例するため、これにより、消費電力を1/4以下にすることができ、また、映像信号駆動回路の駆動ICチップの断片を5V以下の断片にすることが可能になるので、駆動性

の良好な駆動ICチップを使用することができ、液晶表示装置全体の生産性を向上させることができる。

【0134】また、実施例2の駆動方法を採用すれば、実施例2と同等の効果を得ることができ、さらに低消費電力にすることができ、本実施例の効果と合わせて、さらに駆動ICチップの回路規模を小さくでき、狭小化にできる。

【0135】また、本実施例では、1列毎に映像信号の極性および交流電圧波形の極性を反転させたが、2走査期間毎に反転させれば、本実施例に加えて実施例4と同様の効果を得られる。

【0136】

《駆動効果》以上説明したことから明らかなように、本実施例の液晶表示装置では、横電界方式を用いた超広視野角の液晶表示装置において本質的な問題で有るいわゆる縦スミアを抑制することが、消費電力の低減、周辺回路規模の縮小と同時に図ることができる。

《図面の簡単な説明》

【図1】本発明の作用1を示す模式図である。

【図2】本発明の作用2を示す模式図である。

【図3】映像信号線の電界による透過率の左右方向の分布を示す図である。(a)導電性遮光膜の場合、(b)絶縁性遮光膜の場合。

【図4】本発明の実施例1のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一面とその周辺を示す要部平面図である。

【図5】図4の6-6切線における画面の断面図である。

【図6】図4の7-7切線における導膜トランジスタ素子TF-Tの断面図である。

【図7】図4の8-8切線における蓄積容量Cstgの断面図である。

【図8】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図9】左側に走査信号端子、右側に外部接続端子の無いパネル構造部分を示す断面図である。

【図10】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図11】ドレイン端子DTMと映像信号線DLとの接続部近辺を示す平面と断面の図である。

【図12】共通電極端子CTM1、共通バスラインCB1および共通電圧信号線CLの接続部近辺を示す平面と断面の図である。

【図13】共通電極端子CTM2、共通バスラインCB2および共通電圧信号線CLの接続部近辺を示す平面と断面の図である。

【図14】本発明のアクティブ・マトリクス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図15】本発明のアクティブ・マトリクス型カラー

液晶表示装置の実施例1の駆動波形を示す図である。

【図16】基板SUB1側の工程A~Cの製造工程を示す画面部とゲート端子部の断面図のフローチャートである。

【図17】基板SUB1側の工程D~Fの製造工程を示す画面部とゲート端子部の断面図のフローチャートである。

【図18】基板SUB1側の工程G~Hの製造工程を示す画面部とゲート端子部の断面図のフローチャートである。

【図19】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図20】駆動回路を構成する駆動回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCTPの断面構造を示す図である。

【図21】テープキャリアパッケージTCTPを液晶表示パネルPNLの走査信号回路用端子GTMに接続した状態を示す要部断面図である。

【図22】液晶表示モジュールの分解斜視図である。

【図23】本発明の実施例2のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一面とその周辺を示す要部平面図である。

【図24】本発明の実施例3のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一面とその周辺を示す要部平面図である。

【図25】本発明のアクティブ・マトリクス型カラー液晶表示装置の実施例2の駆動波形を示す図である。

【図26】本発明の実施例3のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一面とその周辺を示す要部平面図である。

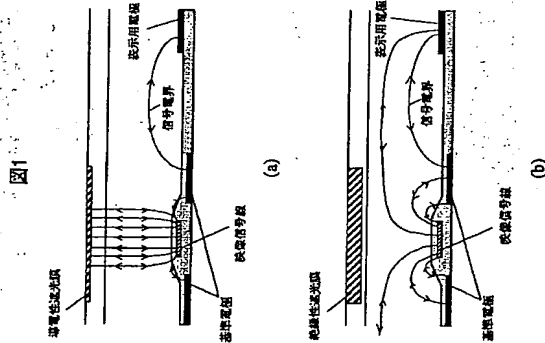
【図27】本発明のアクティブ・マトリクス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図28】本発明のアクティブ・マトリクス型カラー液晶表示装置の実施例3の駆動波形を示す図である。

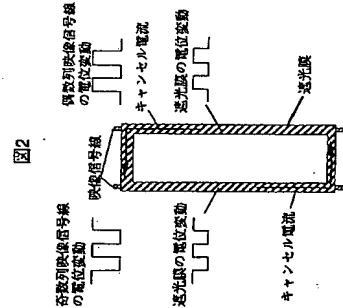
《符号の説明》

SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線、CL…対向電圧信号線、PX…画素電極、CT…対向電極、GI…絶縁膜、GT…ゲート電極、AST…i型半導体層、SD…ソース電極またはドレイン電極、PSV…保護膜、BM…遮光膜、LC…液晶、TF…薄膜トランジスタ、PH…スルーホール、g、d…導電膜、Cstg…蓄積容量、AOF…絶縁酸化膜、AO…絶縁酸化マスク、GTM…ゲート端子、DTM…ドレイン端子、CB…共通バスライン、DTM…共通電極端子、SHD…シールドケース、PNL…液晶表示パネル、SPB…光拡散板、LCB…導光体、BL…バックライト蛍光管、LCA…バックライトケース、RM…反折板、(以上添字省略)。

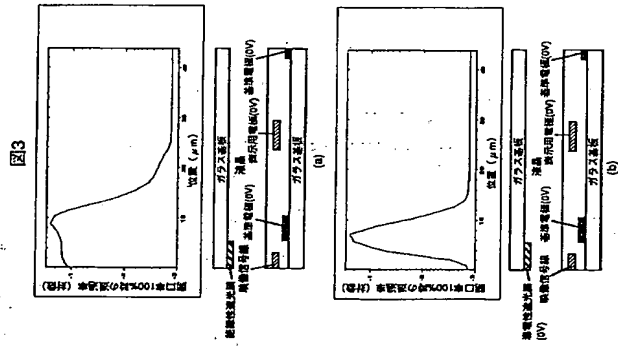
【図1】



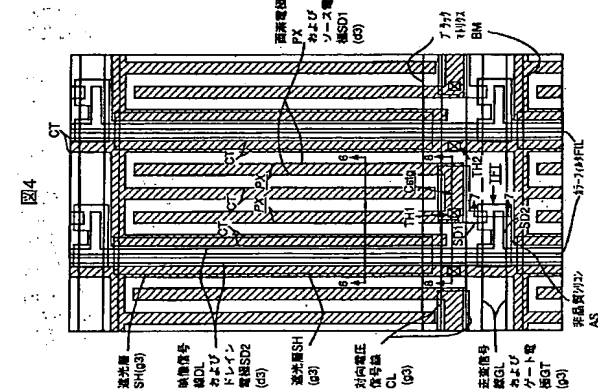
【図2】



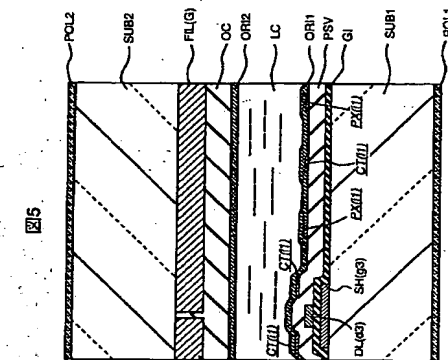
【図3】



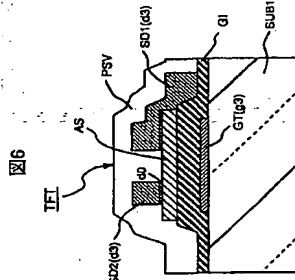
【図4】



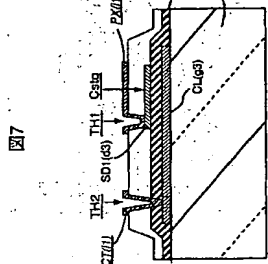
【図5】



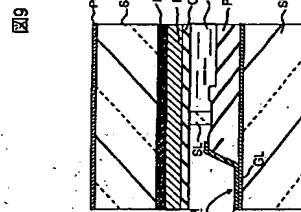
【図6】



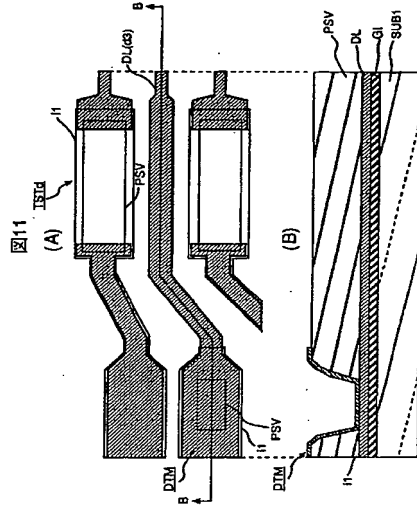
【図7】



【図9】

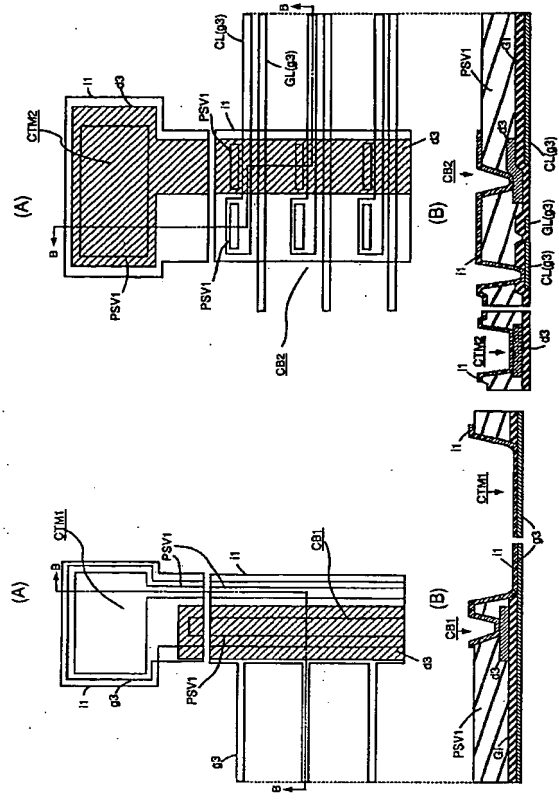


【図11】



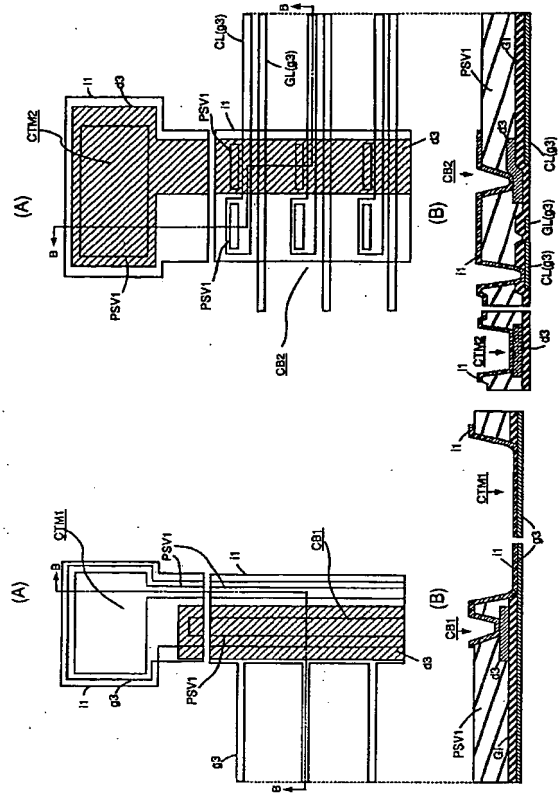
【図12】

図12

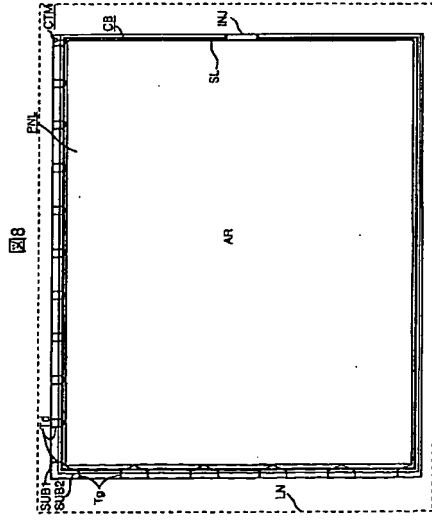


【図13】

図13

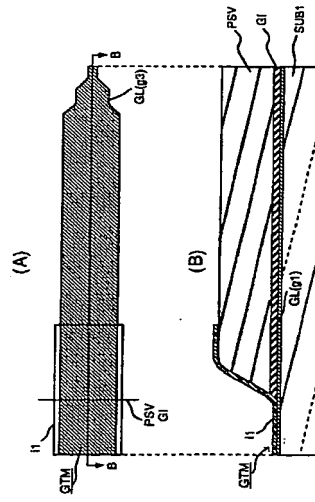


【図8】



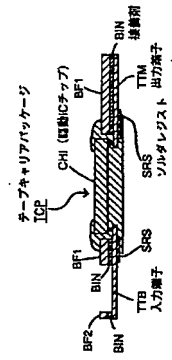
【図10】

図10

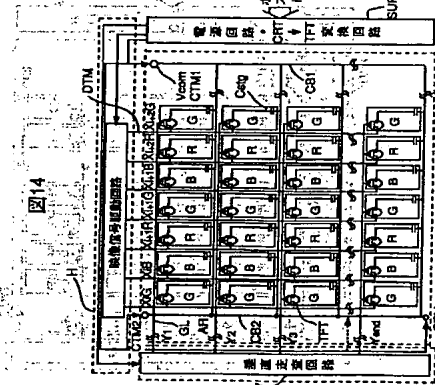


【図20】

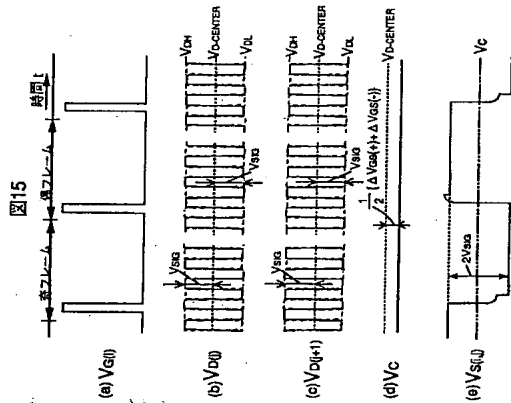
図20



【図14】

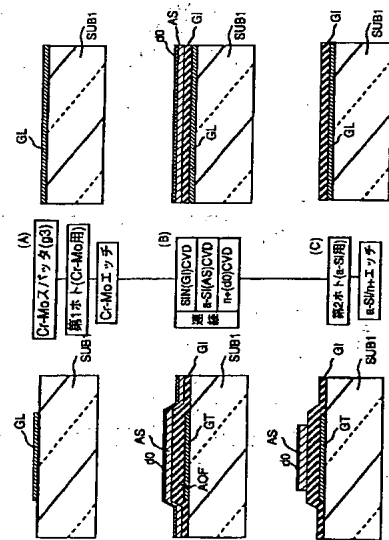


【図15】



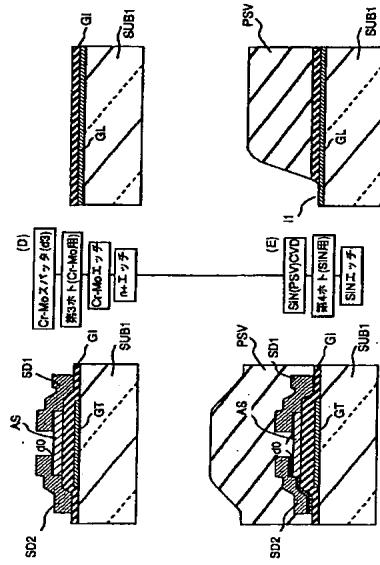
【図16】

図16



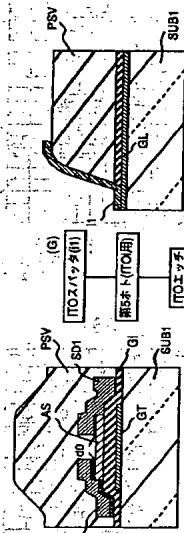
【図17】

図17



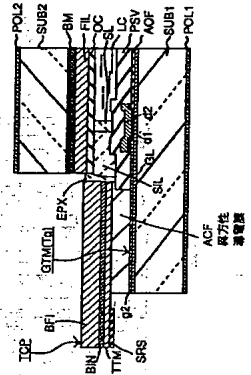
【図18】

図18

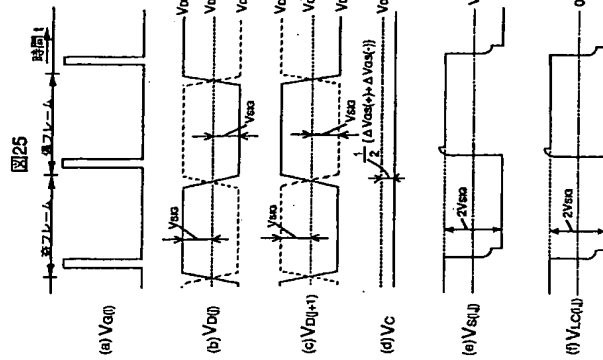


【図21】

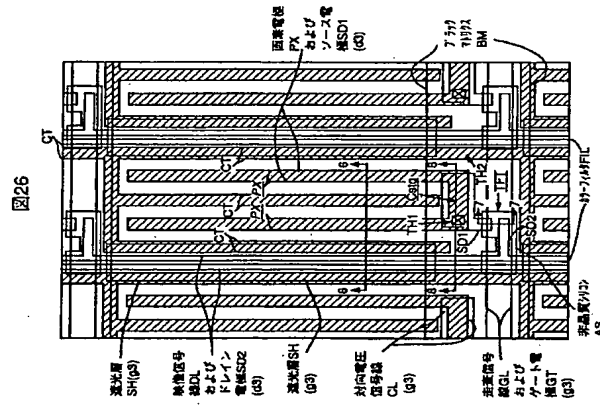
図21



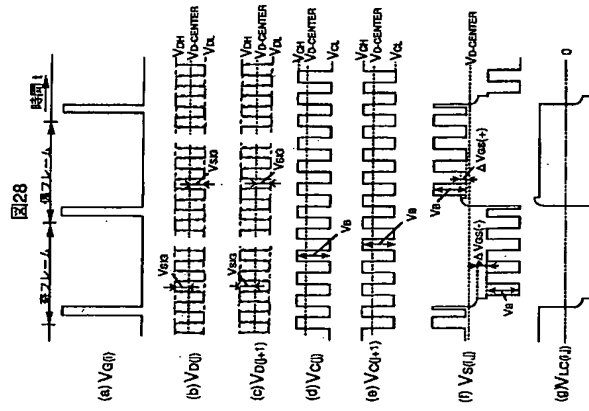
【図25】



【図26】



【図28】



フロントページの続き

(5) Int. Cl.⁶
G 0 9 G 3/36

識別記号
F I
G 0 9 G 3/36

(72) 発明者 小野 紀久雄

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 阿須間 宏明

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

THIS PAGE BLANK (USPTO)